

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-207006

(43)Date of publication of application : 11.09.1987

(51)Int.CI. H03B 5/18

(21)Application number : 61-051180 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

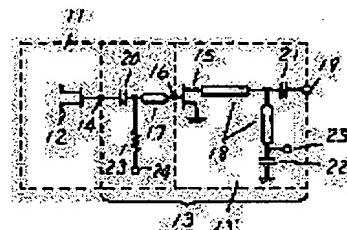
(22)Date of filing : 07.03.1986 (72)Inventor : SAKA HIROSHI
MEGATA TSUYOSHI
TANAKA TOSHIHIDE

(54) MICROWAVE OSCILLATOR

(57)Abstract:

PURPOSE: To apply MMIC of a microwave oscillator whose oscillating frequency is voltage-controlled together with a varactor diode of a resonance circuit or a feedback capacitance circuit by acting the 2nd FET like the resonance circuit or feedback capacitance circuit of the 1st FET.

CONSTITUTION: A negative resistance circuit 11 consists of a FET 12 and a peripheral circuit and a resonance circuit 13 is connected to a gate terminal 14 of the FET 12 together with the amplification function. An inductor 17 is connected between a gate terminal 16 of a FET 15 and a gate terminal 14 of the FET 12 and the negative resistance circuit 11 is oscillated at a frequency close to the resonance frequency of a series resonance circuit comprising an inductance Lg of the strip line 17 and a gate-source capacitance Cg of the FET 15, an output matching circuit 18 of an amplifier 13' consists of a strip line and the oscillated power is amplified by the amplifier 13' and outputted from an output terminal 19. Thus, microwave monolithic integrated circuit (MMIC) is facilitated and the negative resistance circuit 11 and the output terminal 19 of the microwave oscillator are isolated by the FET 15 to form the immunity against the load fluctuation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁(JP) ⑩特許出願公開
⑪公開特許公報(A) 昭62-207006

⑤Int.Cl.
H 03 B 5/18

識別記号 庁内整理番号
C-7530-5J

⑥公開 昭和62年(1987)9月11日

審査請求 未請求 発明の数 1 (全6頁)

⑦発明の名称 マイクロ波発振器

⑧特願 昭61-51180
⑨出願 昭61(1986)3月7日

⑩発明者 阪 博 門真市大字門真1006番地 松下電器産業株式会社内
⑪発明者 目片 強 司 門真市大字門真1006番地 松下電器産業株式会社内
⑫発明者 田中 年秀 門真市大字門真1006番地 松下電器産業株式会社内
⑬出願人 松下電器産業株式会社 門真市大字門真1006番地
⑭代理人 弁理士 中尾 敏男 外1名

明細書

1、発明の名称

マイクロ波発振器

2、特許請求の範囲

- (1) 第1のFETの増幅素子とし、第2のFETを可変容量素子とし、第2のFETを第1のFETの共振回路あるいは帰還容量回路として動作させたことを特徴とするマイクロ波発振器。
(2) 第2のFETを可変容量素子としてのみならず、増幅素子としても動作させたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。
(3) 第1のFETにより負性抵抗回路を構成し、この負性抵抗回路に第2のFETによる共振回路を接続したことを特徴とする特許請求の範囲第1項または第2項記載のマイクロ波発振器。
(4) 第2のFETのドレイン端子を開放し、第2のFETのゲート・ソース間容量を可変容量素子として用いたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。
(5) 第2のFETのソース端子とドレイン端子を

接続し、第2のFETのゲート・ソース間容量およびゲート・ドレイン間容量を可変容量素子として用いたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。

- (6) 第1のFETの第1のゲート端子に第2のFETによる共振回路を接続し、この共振回路をインダクタと第2のFETの可変容量素子による直列共振回路としたことを特徴とする特許請求の範囲第3項記載のマイクロ波発振器。
(7) 第1のFETの第1のゲート端子と第2のFETの第2のゲート端子とを接続し、第1のゲート端子と第2のゲート端子と共通のゲート・バイアス電圧を加えたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。
(8) 第1のFETをドレイン接地型にし、第1のFETの第1のゲート端子より第1のFET側を見たインピーダンスを負性抵抗性にしたことを特徴とする特許請求の範囲第6項記載のマイクロ波発振器。
(9) 第1のFETをソース接地型にし、第1の

FETの第1のゲート端子より第1のFET側を見たインピーダンスを負性抵抗性にしたことを特徴とする特許請求の範囲第6項記載のマイクロ波発振器。

3. 発明の詳細な説明

産業上の利用分野

本発明は発振器の共振回路あるいは帰還容量回路にFETを用いたマイクロ波発振器に関するものである。

従来の技術

負性抵抗型発振器や帰還型発振器の発振周波数を電圧制御で可変する方法として、それらの発振器の共振回路や帰還容量回路に可変容量ダイオードを用いるのが一般的である。例えば、半導体発振素子と可変容量ダイオードを用いて発振周波数を電圧制御できるマイクロ波発振器として、第7図に示すような回路構成が使われていた。

第7図において、1は負性抵抗回路で、半導体発振素子であるFET2とその周辺回路(図示せず)からなる。3は共振回路で、インダクタ4と

FETのゲート・ソース間容量あるいはゲート・ドレイン間容量がゲート・ソース間電圧あるいはゲート・ドレイン間電圧により可変できることを利用したものである。

作用

本発明は上記した構成により、共振回路や帰還容量回路の可変容量素子をもMMIC化できるため、マイクロ波発振器全体をMMIC化できるものである。

実施例

第1図は本発明のマイクロ波発振器第1の実施例である。第1図において、11は負性抵抗回路でFET12とその周辺回路(図示せず)からなっている。13は増幅機能をあわせもつ共振回路でFET12のゲート端子14に接続されている。15はFETでFET15のゲート端子16とFET12のゲート端子14間にインダクタ17が接続されており、ストリップ線路17の有するインダクタンス L_g とFET15の有するゲート・ソース間容量 C_g により形成される直列共振回

可変容量ダイオード5からなり、共振回路3は負性抵抗回路1に接続されている。そして、可変容量ダイオード5に印加する電圧を削御することにより共振回路3の共振周波数を変化させてマイクロ波発振器の発振周波数を削御している。

発明が解決しようとする問題点

以上のような従来の可変容量ダイオードを用いるマイクロ波発振器では、負性抵抗回路1をマイクロ波モノリシック集積回路(以後、MMICと略記)化できても、可変容量ダイオード5を含む共振回路3をMMIC化することは困難であった。従って、マイクロ波発振器を全体をMMIC化することは困難であるという問題点を有していた。

本発明はかかる点に鑑みてなされたもので、共振回路あるいは帰還容量回路の可変容量素子を含めて発振周波数を電圧制御できるマイクロ波発振器をMMIC化することを目的とする。

問題点を解決するための手段

本発明は、マイクロ波発振器の共振回路や帰還容量回路の可変容量素子にFETを用いたもので、

路の共振周波数に近い周波数で負性抵抗回路11が発振する。18は増幅器13の出力整合回路でストリップ線路で構成され、発振電力は増幅器13'で増幅されて出力端子19から出力される。20, 21は直流阻止キャパシタ、22は高周波短絡キャパシタ、23はFET15のゲート・バイアス抵抗、24はゲート・バイアス端子、25はFET15のドレイン・バイアス端子である。

上記第1図に示した実施例では、負性抵抗回路11とともに、共振回路13はFETで構成されているため、マイクロ波発振器全体を容易にMMIC化できる。また、FET15により負性抵抗回路11とマイクロ波発振器の出力端子19とはアイソレーションされているため、マイクロ波発振器は負荷変動に強い。

第2図は本発明のマイクロ波発振器の第2の実施例であり、第1図と同一箇所には同一番号を付して説明する。第2図において、11'は負性抵抗回路でFET12とその周辺回路(図示せず)からなっている。26は増幅機能をあわせもつ共振

回路で FET 12 のゲート端子 14 に接続されている。16 は FET で FET 16 のゲート端子 16 と FET 12 のゲート端子 14 間にはストリップ線路 17 が接続され、ゲート端子 14 とゲート端子 16 とは直列的に接続されている。負性抵抗回路 11' はストリップ線路 17 の有するインダクタス L_g と FET 16 の有するゲート・ソース間容量 C_{gs} により形成される共振回路の共振周波数 ($= \frac{1}{2\pi} \sqrt{L_g C_{gs}}$) に近い周波数で発振する。18 は増幅器 13' の出力整合回路でストリップ線路で構成され発振電力は増幅器 13' で増幅されて出力端子 19 から出力される。21 は直流阻止キャパシタ、22 は高周波短絡キャパシタ、23 は FET 12 および FET 16 のゲート・バイアス抵抗、24 はゲート・バイアス端子、25 は FET 16 のドレイン・バイアス端子である。

上記第 2 図に示した実施例では、第 1 図に示した効果に加えて、ゲート・バイアス端子 24 に印加されるゲート・バイアス電圧は FET 16 と FET 12 の両方に作用するため、FET 16 の

ゲート・ソース間容量 C_{gs} のみならず、FET 12 のゲート・ソース間容量 C_{gs}' もゲート・バイアス電圧に対して変化するため、マイクロ波発振器の発振周波数の可変範囲を広くできる効果を有する。

第 3 図は本発明のマイクロ波発振器の第 3 の実施例であり、第 1 図と同一箇所には同一番号を付して説明する。第 3 図において 31 は負性抵抗回路、33 は共振回路であり、負性抵抗回路 31 以外の回路構成は第 1 図と全く同一である。負性抵抗回路 31 は FET 12 のドレイン接地型回路構成になっている。FET 12 のソース端子 32 には終端が接地されたテローカ線路 33 とソース・バイアス抵抗 34 が直列に接続されている。FET 12 のゲート端子 14 は高抵抗 35 を介して接地されている。FET 12 のドレイン端子 36 には高周波短絡キャパシタ 37 で終端を高周波的に接地されたドレイン・インダクタ 38 が接続されている。39 はマイクロ波発振器の出力端子、40 は FET 12 のドレイン・バイアス端子である。

上記第 3 図に示した実施例では、負性抵抗回路

31 とともに、共振回路 33 は FET で構成されているため、マイクロ波発振器全体を容易に MMIC 化できる。また、出力端子が 2ヶ所（出力端子 19, 39）あり、それらの出力端子 19, 39 はアイソレーションされているため、発振出力を 2 分配するための分配器が不要になると同時に、負荷相互の影響を除去することができる。

第 4 図は本発明のマイクロ波発振器の第 4 の実施例であり、第 2 図と同一箇所には同一番号を付して説明する。第 4 図において 41 は負性抵抗回路、43 は共振回路であり、負性抵抗回路 41 以外の回路構成は第 2 図と全く同じである。負性抵抗回路 41 は FET 12 のドレイン接地型回路構成になっている。FET 12 のソース端子 42 には終端が接地されたテローカ線路 43 が接続されている。FET 12 のドレイン端子 46 には高周波短絡キャパシタ 47 で終端を高周波的に接地されたドレイン・インダクタ 48 が接続されている。49 はマイクロ波発振器の出力端子、50 は FET 12 のドレイン・バイアス端子である。

上記第 4 図に示した実施例では、負性抵抗回路 41 とともに、共振回路 43 は FET で構成されているため、マイクロ波発振器全体を容易に MMIC 化できる。また、出力端子が 2ヶ所（出力端子 19, 49）あり、それらの出力端子 19, 49 はアイソレーションされているため、発振出力を 2 分配するための分配器が不要になると同時に、負荷相互の影響を除去することができる。更に、ゲート・バイアス端子 24 に印加されるゲート・バイアス電圧は FET 16 と FET 12 の両方に作用するため、FET 16 のゲート・ソース間容量 C_{gs} のみならず、FET 12 のゲート・ソース間容量 C_{gs}' もゲート・バイアス電圧に対して変化するため、マイクロ波発振器の発振周波数の可変範囲を広くできる効果を有する。

第 5 図は本発明のマイクロ波発振器の第 5 の実施例であり、第 3 図と同一箇所には同一番号を付して説明する。第 5 図において 51 は負性抵抗回路、53 は共振回路であり、共振回路 53 以外の回路構成は第 3 図と全く同一である。負性抵抗回路

路31はFET12のドレイン接地型回路構成になっている。FET12のソース端子32には終端が接地されたチーク線路33とソース・バイアス抵抗34が直列に接続されている。FET12のゲート端子14は高抵抗35を介して接地されている。FET12のドレイン端子36には高周波短絡キャパシタ37で終端を高周波的に接地されたドレイン・インダクタ38が接続されている。39はマイクロ波発振器の出力端子、40はFET12のドレイン・バイアス端子である。FET12のゲート端子14には共振回路53が接続されているが、共振回路53はドレイン端子51の開放されたFET16と、FET16のゲート端子16とFET12のゲート端子14間に接続されたストリップ線路17から構成されている。20は直流阻止キャパシタ、23はFET15のゲート・バイアス抵抗、24はゲート・バイアス端子である。ストリップ線路17の有するインダクタンス L_g とFET15の有するゲート・ソース間容量 C_{gd} により形成される直列共振回路の共振周波数

に近い周波数で負性抵抗回路31が発振し、その発振出力は出力端子39から供給される。

上記第5図に示した実施例では、負性抵抗回路31とともに、共振回路53はFETで構成されているため、マイクロ波発振器全体を容易にMMIC化できる。またFET15のドレイン端子51が開放され、FET15にはドレイン・バイアス電圧が印加されていないので、ゲート端子16からFET15側を見たインピーダンス $Z_g (=R_g + jX_g)$ の抵抗値 R_g は小さくなり、共振回路53の無負荷Q値が大きくなる。しかも、抵抗値 R_g はFET15のゲート・バイアス電圧の深さに依存しないのでマイクロ波発振器の発振状態を安定化できるとともに、ゲート・バイアス電圧を大きく変化できることで共振周波数の可変範囲を大きくとれる効果を有する。

第6図は本発明のマイクロ波発振器の第6の実施例であり、第4図と同一箇所には同一番号を付して説明する。第6図において、41は負性抵抗回路、63は共振回路であり、共振回路63以外

の回路構成は第4図と全く同一である。負性抵抗回路41はFET12のドレイン接地型回路構成になっている。FET12のソース端子42には終端が接地されたチーク線路43が接続されている。FET12のドレイン端子46には高周波短絡キャパシタ47で終端を高周波的に接地されたドレイン・インダクタ48が接続されている。49はマイクロ波発振器の出力端子、50はFET12のドレイン・バイアス端子である。FET12のゲート端子14には共振回路63が接続されているが、共振回路63はドレイン端子51の接地されたFET15とFET15のゲート端子16とFET12のゲート端子14間に接続されたストリップ線路17から構成されている。23はゲート・バイアス抵抗、24はゲート・バイアス端子である。ストリップ線路17の有するインダクタンス L_g とFET15の有するゲート・ソース間容量 C_{gd} とゲート・ドレイン間容量 C_{gd} の和 $C_g'' = C_g + C_{gd}$ により形成される直列共振回路の共振周波数に近い周波数で負性抵抗回路41が発

振し、その発振出力は出力端子49から負荷に供給される。

上記第6図に示した実施例では、負性抵抗回路41とともに共振回路63はFETで構成されているため、マイクロ波発振器全体を容易にMMIC化できる。またFET15のドレイン端子51が接地され、FET15にはドレイン・バイアス電圧が印加されていないので、ゲート端子16からFET15側を見たインピーダンス $Z_g (=R_g + jX_g)$ の抵抗値 R_g は小さくなり、共振回路63の無負荷Q値が大きくなる。しかも、抵抗値 R_g はFET15のゲート・バイアス電圧の深さに依存しないのでマイクロ波発振器の発振状態を安定化できるとともに、ゲート・バイアス電圧を大きく変化できることで共振周波数の可変範囲を大きくとれる効果を有する。更に、FET15のドレイン端子51を接地しているのでゲート端子16からFET15側を見た容量 C_g'' はドレイン端子51を開放状態にした時の容量値 C_g よりも C_{gd} だけ大きくなるので同じ共振周波数を得るためにストリップ線

路 17 の有するインダクタンス L_g を小さくできるのでストリップ線路 17 の寸法を小さくして共振回路 63 の寸法を小さくできる。また、ゲート・バイアス端子 24 に印加されるゲート・バイアス電圧は FET 15 と FET 12 の両方に作用するため、FET 15 による容量 $C_{g''}$ のみならず、FET 12 による容量 $C_{g'}$ もゲート・バイアス電圧に対して変化するため、マイクロ波発振器の発振周波数の可変範囲を広くできる効果を有する。

以上説明した実施例では、負性抵抗回路に共振回路を接続した構成の負性抵抗型のマイクロ波発振器となっているが、必ずしも実施例で説明した構成によらなくてもよい。例えば、FET による帰還容量回路と、FET 増幅器で構成される帰還型マイクロ波発振器でもよいことは言うまでもない。又、第 3 から第 6 の実施例では負性抵抗回路として FET のドレイン接地型になっているが、必ずしもドレイン接地型である必要はなく、負性抵抗回路として機能すればソース接地型でもゲート接地型でもよいことは言うまでもない。

21 ……直流阻止キャパシタ、22, 37, 47 ……高周波短絡キャパシタ、23, 35 ……ゲート・バイアス抵抗、24 ……ゲート・バイアス端子、25, 40, 50 ……ドレイン・バイアス端子、32, 42 ……ソース端子、33, 43 ……チョーク線路、34 ……ソース・バイアス抵抗、36, 46, 51, 61 ……ドレイン端子、38, 48 ……ドレイン・インダクタ。

代理人の氏名 弁理士 中尾敏男 ほか1名

発明の効果

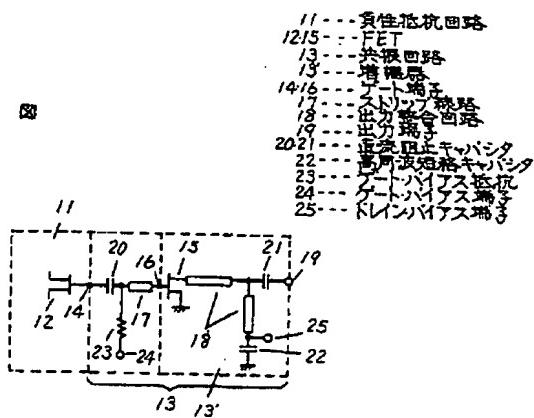
以上のように本発明による実施例では、共振回路あるいは帰還容量回路に用いる可変容量素子に FET のゲート・ソース間容量あるいはゲート・ドレイン間容量を用いているので、FET で構成される負性抵抗回路や帰還増幅器とともにマイクロ波発振器全体を MMIC 化できる。

4. 図面の簡単な説明

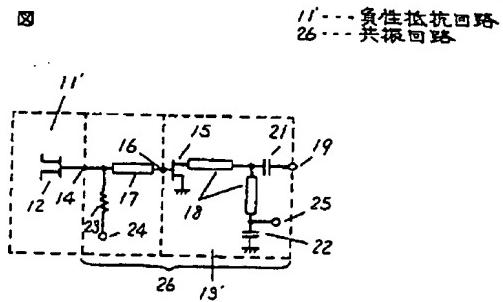
第 1 図は本発明の第 1 の実施例におけるマイクロ波発振器の構成図、第 2 図は本発明の第 2 の実施例によるマイクロ波発振器の構成図、第 3 図、第 4 図、第 5 図、第 6 図はそれぞれ本発明の第 3、第 4、第 5、第 6 の実施例におけるマイクロ波発振器の構成図、第 7 図は従来のマイクロ波発振器の構成図である。

11, 11', 31, 41 ……負性抵抗回路、12, 15 ……FET、13, 26, 63, 63 ……共振回路、13' ……増幅器、14, 16 ……ゲート端子、17 ……ストリップ線路、18 ……出力整合回路、19, 39, 49 ……出力端子、20,

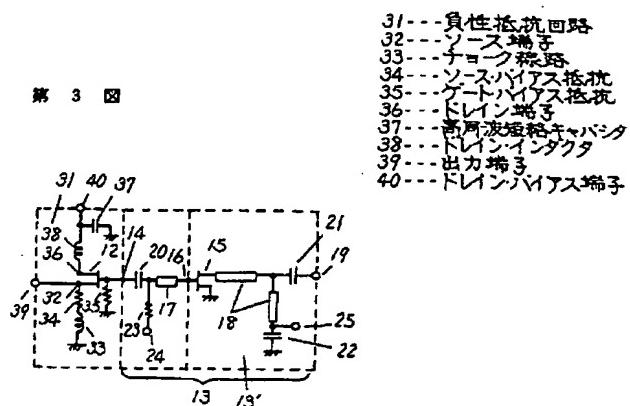
第 1 図



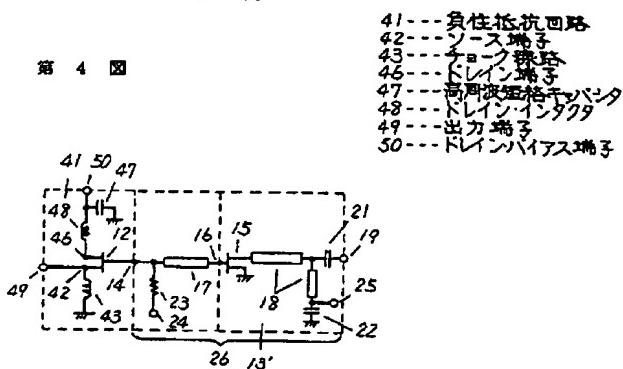
第 2 図



第3図

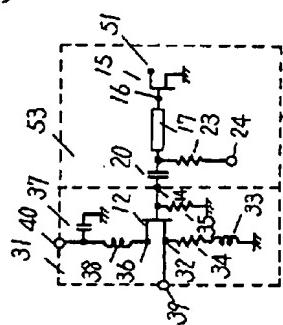


第4図



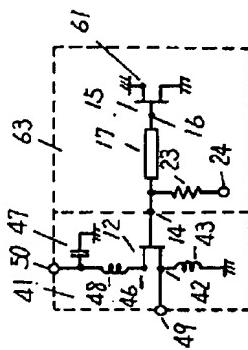
51-ドレイン端子
53-共振回路

第5図

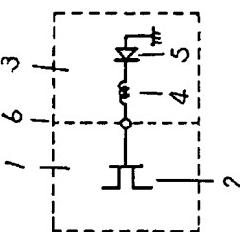


61-ドレイン端子
63-共振回路

第6図



第7図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成5年(1993)9月10日

【公開番号】特開昭62-207006

【公開日】昭和62年(1987)9月11日

【年通号数】公開特許公報62-2071

【出願番号】特願昭61-51180

【国際特許分類第5版】

H03B 5/18 C 9182-5J

手続補正書

平成4年9月14日

特許庁長官殿

1 事件の表示

昭和61年特許願 第 61180号

2 発明の名称

マイクロ波発振器

3 補正をする者

事件との関係 特許出願人
住所 大阪府門真市大字門真1006番地
名 称 (582)松下電器産業株式会社
代 表 谷 非 昭 雄

4 代理人 T 571

住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏 名 (7242)弁理士 小銀治 明
(ほか 2名)
(連絡先 可能(06)428-9471 知的財産権センター)

5 補正の対象

明細書の特許請求の範囲の欄

6 補正の内容

明細書の特許請求の範囲の欄を別紙のとおり補正します。

2、特許請求の範囲

- (1) 第1のFETを増幅素子とし、第2のFETを可変容量素子とし、第2のFETを第1のFETの共振回路あるいは帰還容量回路として動作させたことを特徴とするマイクロ波発振器。
- (2) 第2のFETを可変容量素子としてのみならず、増幅素子としても動作させたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。
- (3) 第1のFETにより負性抵抗回路を構成し、この負性抵抗回路に第2のFETによる共振回路を接続したことを特徴とする特許請求の範囲第1項または第2項記載のマイクロ波発振器。
- (4) 第2のFETのドレイン端子を開放し、第2のFETのゲート・ソース間容量を可変容量素子として用いたことを特徴とする特許請求の範囲第1項記載のマイクロ波発振器。
- (5) 第2のFETのソース端子とドレイン端子を接続し、第2のFETのゲート・ソース間容量およびゲート・ドレイン間容量を可変容量素子

として用いたことを特徴とする特許請求の範囲
第1項記載のマイクロ波発振器。

- (6) 第1のFETの第1のゲート端子に第2の
FETによる共振回路を接続し、この共振回路
をインダクタと第2のFETの可変容量素子と
による直列共振回路としたことを特徴とする特
許請求の範囲第3項記載のマイクロ波発振器。
- (7) 第1のFETの第1のゲート端子と第2の
FETの第2のゲート端子とを接続し、第1の
ゲート端子と第2のゲート端子と共にゲート・
バイアス電圧を加えたことを特徴とする特許請
求の範囲第1項記載のマイクロ波発振器。
- (8) 第1のFETをドレイン接地型にし、第1の
FETの第1のゲート端子より第1のFET側
を見たインピーダンスを負性抵抗性にしたこと
を特徴とする特許請求の範囲第8項記載のマイ
クロ波発振器。
- (9) 第1のFETをソース接地型にし、第1の
FETの第1のゲート端子より第1のFET側
を見たインピーダンスを負性抵抗性にしたこと

を特徴とする特許請求の範囲第6項記載のマイ
クロ波発振器。